

②

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-244196

(43)公開日 平成5年(1993)9月21日

(51)Int.Cl.<sup>5</sup>

識別記号

片内整理番号

F I

技術表示箇所

H 0 4 L 12/48

12/26

H 0 4 Q 11/04

8529-5K

H 0 4 L 11/ 20

Z

8948-5K

11/ 12

審査請求 未請求 請求項の数 5 (全 8 頁) 最終頁に続く

(21)出願番号 特願平4-284535

(22)出願日 平成4年(1992)10月22日

(31)優先権主張番号 特願平3-277964

(32)優先日 平3(1991)10月21日

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 宮本 晃宏

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 池松 龍一

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 後藤 洋介 (外2名)

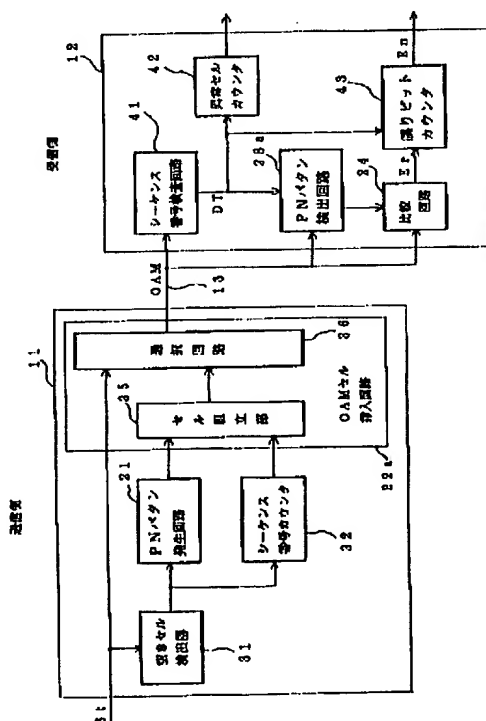
最終頁に続く

(54)【発明の名称】 ATMシステムのVP試験方式及びVP試験装置

(57)【要約】

【目的】 誤配セル、損失セルの検出を可能にし、高い誤り測定能力が得られるVP試験方法及びその装置を提供すること。

【構成】 送信側にPNパタン発生回路21、シーケンス番号カウンタ32、及びOAMセル挿入回路22aを設ける一方、受信側にシーケンス番号検出回路41、異常セルカウンタ42、PNパタン検出回路23a、比較回路24、及び誤りビットカウンタ43を設け、シーケンス番号検出回路41において、OAMセル中のシーケンス番号とカウントされたシーケンス番号との不一致を検出することにより、異常セルを検出する。この異常セルが検出されたときはPNパタン検出回路におけるPNパタンの誤りビットのカウントを中止する。



## 【特許請求の範囲】

【請求項 1】 設定したバーチャルパス (V P) を用いて通信を行う A T M システムの V P 試験を行う A T M システムの V P 試験方式において、送信側において、送信データに P N パターンとシーケンス番号とを含む試験用 O A M (operation administration monitoring) セルを挿入し、受信側において、P N パターンを検出してビット誤りをカウントすると共に、シーケンス番号を検出し、シーケンス番号に誤りがあるときには異常セルとしてカウントし、かつ前記ビット誤りのカウントを停止するようにしたことを特徴とする A T M システムの V P 試験方式。

【請求項 2】 設定したバーチャルパス (V P) を用いて通信を行う A T M システムの V P 試験を行う A T M システムの V P 試験装置において、送信側は、P N パターンを発生する P N パターン発生回路と、シーケンス番号をカウントし出力するシーケンス番号カウンタと、前記 P N パターンと前記シーケンス番号とを送信データに O A M (operation administration monitoring) セルとして挿入する O A M セル挿入回路とを有し、受信側は、受信信号からシーケンス番号を検出して検査し異常セル検出信号を出力するシーケンス番号検査回路と、前記異常セル検出信号を受けて異常セルの数をカウントする異常セルカウンタと、前記受信信号から前記 P N パターンを検出して同期をとり、比較用 P N パターンを発生する P N パターン検出回路と、前記 P N パターンと前記比較用 P N パターンとを比較する比較回路と、該比較回路の比較結果より誤りビット数をカウントする誤りビットカウンタとを有し、該誤りビットカウンタは前記異常セル検出信号が入力されたときカウントを中止することを特徴とする A T M システムの V P 試験装置。

【請求項 3】 請求項 2 記載の V P 試験装置において、前記送信側は、更に、一連の入力セルの中から空きセルを検出する空きセル検出手段を備え、該空きセル検出手段からの出力により前記 P N パターン発生回路及び前記シーケンス番号カウンタを動作させることを特徴とする V P 試験装置。

【請求項 4】 請求項 2 記載の V P 試験装置において、前記 O A M セル挿入回路は、前記 P N パターン発生回路及び前記シーケンス番号カウンタから P N パターン及びシーケンス番号を受け、O A M セルを組み立てるセル組み立て部と、前記 O A M セルを前記一連の入力セル中に挿入する選択回路とを有することを特徴とする V P 試験装置。

【請求項 5】 請求項 2 記載の V P 試験装置において、前記シーケンス番号検査回路は、前記送信側から受信した受信信号から、前記 O A M セルを抽出する O A M セル抽出回路と、抽出した O A M セルからシーケンス番号を抽出するシーケンス番号抽出回路と、シーケンス番号をカウントするシーケンス番号カウンタと、前記シーケン

ス番号カウンタでカウントされたシーケンス番号とシーケンス番号抽出回路で抽出されたシーケンス番号とを照合する照合回路とを備え、前記照合回路における照合結果が一致しなかった場合に、前記異常セル検出信号を出力することを特徴とする V P 試験装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、A T M (Asynchronous Transfer Mode : 非同期転送モード) システムにおける V P (バーチャルパス) 試験装置及び試験方式に関する。

## 【0002】

【従来の技術】 従来、この種の V P 試験装置は、図 4 に示すように、送信側 1 1 及び受信側 1 2 とを備え、送信側 1 1、受信側 1 2 との間で一連の A T M セルを送受する A T M システムにおいて、送信側 1 1 と受信側 1 2 との間に形成された V P を試験するために使用される。

【0003】 このような A T M システムでは、通常の通信状態では、セルの形で与えられる入力信号 S t を送信ユニット 1 4 から、V P 1 3 を介して受信にニットに送信している。この場合、通信サービス時間中、或いは、通信サービス以外の時間中に、送信側 1 1 と受信側 1 2 との間の V P を試験する必要がある。この種の V P 試験としては導通試験、特性試験、或いは故障切分試験等がある。

【0004】 上述した V P 試験を行うために、A T M システムには、V P 試験装置が備えられており、この V P 試験装置は送信部 1 6 及び受信部 1 7 とを有している。

【0005】 このうち、V P 試験装置の送信部 1 6 は、P N パターンを発生する P N パターン発生回路 2 1 と、P N パターンを O A M セルに挿入する O A M セル挿入回路 2 2 とを有している。また、V P 試験装置の受信部 1 7 は、O A M セル中の P N パターンを検出し、所定の P N パターンを出力する P N パターン検出回路 2 3 と、受信した P N セルと所定 P N パターンとを比較し、不一致の際にビットエラー信号を出力する比較回路 2 4 とを備え、更に、ビットエラー信号を受けて動作する P N パターン同期保護回路 2 5 及び誤りビットカウンタ 2 6 とを有している。

【0006】 比較回路 2 4 の比較結果はビットエラー信号として誤りビットカウンタ 2 6 へ入力され、誤りビットがカウントされ、誤りビットカウンタ 2 6 はカウントの結果を、誤りビット数 E n として出力する。

【0007】 また、比較回路 2 4 でのビットエラー信号は P N パターン同期保護回路 2 5 に入力され、P N パターン同期保護回路 2 5 は、P N パターン検出回路 2 3 及び誤りビットカウンタ 2 6 に、それぞれ第 1 及び第 2 の制御信号 C 1 及び C 2 を出力する。第 1 の制御信号 C 1 を受けると、P N パターン検出回路 2 3 を同期を確立するための動作を繰り返す。他方、誤りビットカウンタ 2 6 は第 2 の制御信号 C 2 を受けると、同期はずれの状態になった

と、判定する。

#### 【0008】

【発明が解決しようとする課題】しかしながら、従来のVP試験装置では、誤配セル、損失セルの発生については何等考慮されていない。したがって、同期はずれが発生しないかぎり、セルの誤配、セルの損失が発生しても、これを検出することはできない。言い換えれば、セルの誤配、セルの損失があっても、VP試験装置の受信部17では、受信信号のPNパタンにおける誤りビットを単にカウントするだけであり、このカウントによって、同期はずれが生じなければ、セルの誤配等があったことを検出することはできない。結果として、上記した従来のVP試験装置は正確なVP試験結果が得られないという問題点がある。

【0009】本発明の目的は、誤配セル、損失セルを検出可能にし、高い誤り測定能力を有するVP試験方法及びその装置を提供することである。

#### 【0010】

【課題を解決するための手段】本発明によれば、設定したバーチャルパス（VP）を用いて通信を行うATMシステムのVP試験を行うATMシステムのVP試験方式において、送信側において、送信データにPNパタンとシーケンス番号とを含む試験用OAM(operation administration monitoring)セルを挿入し、受信側において、PNパタンを検出してビット誤りをカウントすると共に、シーケンス番号を検出し、シーケンス番号に誤りがあるときには異常セルとしてカウントし、かつ前記ビット誤りのカウントを停止するようにしたことを特徴とするATMシステムのVP試験方式が得られる。

【0011】また、本発明によれば、設定したバーチャルパス（VP）を用いて通信を行うATMシステムのVP試験を行うATMシステムのVP試験装置において、送信側は、PNパタンを発生するPNパタン発生回路と、シーケンス番号をカウントし出力するシーケンス番号カウンタと、前記PNパタンと前記シーケンス番号とを送信データにOAM(operation administration monitoring)セルとして挿入するOAMセル挿入回路とを有し、受信側は、受信信号からシーケンス番号を検出して検査し異常セル検出信号を出力するシーケンス番号検査回路と、前記異常セル検出信号を受けて異常セルの数をカウントする異常セルカウンタと、前記受信信号から前記PNパタンを検出して同期をとり、比較用PNパタンを発生するPNパタン検出回路と、前記PNパタンと前記比較用PNパタンとを比較する比較回路と、該比較回路の比較結果より誤りビット数をカウントする誤りビットカウンタとを有し、該誤りビットカウンタは前記異常セル検出信号が入力されたときカウントを中止することを特徴とするATMシステムのVP試験装置が得られる。

#### 【0012】

【実施例】以下、図面を参照して、本発明の実施例に係るVP試験装置を説明する。図1には、本発明の一実施例のVP試験装置だけが示されており、ここでは、図4に示された送信ユニット14及び受信ユニット15は省略されている。本実施例のVP試験装置には、一連のセルによって構成された入力信号Stが与えられており、各セルはセル識別子を有している。図示されたVP試験装置の送信部は、入力信号St中の空きセルを検出する空きセル検出器31、空きセル検出器31の出力を受けて、PNパタンを発生するPNパタン発生回路21、挿入されるべきOAMセルに割り当てられるシーケンス番号をカウントするカウンタ32、及びOAMセル挿入回路22aを有している。また、受信部は、シーケンス番号検査回路41、異常セルカウンタ42、PNパタン検出回路23a、比較回路24、及び誤りビットカウンタ43を有している。

【0013】次に、本実施例の動作について説明する。入力信号Stは送信部のOAMセル挿入回路22aに与えられると共に、空きセル検出器31に与えられる。このうち、OAMセル挿入回路22aは図3を参照して説明するようなフォーマットを有する試験用OAMセルを送出する。一方、空きセル検出器31は、入力信号Stのセル識別子を監視して空きセルであることを検出すると、PNパタン発生回路21を動作状態にしPNパタンを発生させる。また、シーケンス番号カウンタ32も、空きセル検出器31の出力にตอบสนองして、PNパタン発生回路21に同期した状態でシーケンス番号をカウントし、シーケンス番号を発生する。発生したPNパタンとシーケンス番号は、OAMセル挿入回路22aのセル組立部35に入力される。

【0014】セル組立部35は、入力されたPNパタンとシーケンス番号とを受け、図3に示されるような試験用OAMセルを構成する。ここで、試験用OAMセルは、図3からも明らかなように、4ビットのセル識別子、4ビットのポート番号、12ビットのVPI(virtual path identifier)、16ビットのVCI(virtual channel identifier)、8ビットのヘッダエラーコントロール(HEC)信号、8ビットのOAM種別信号、4ビットのシーケンス番号、4ビットのシーケンス番号保護信号、及び368ビットのPNパタンとによって構成されている。このため、図1のセル組立部35は、上記したセル識別子、ポート番号、VPI、VCI、ヘッダエラーコントロール(HEC)信号、及びOAM種別信号を発生するための手段を備えている。このうち、ポート番号は送信部に割り当てられたポートの番号であり、HEC信号はヘッダのエラーを訂正するための冗長ビット列によって構成される。また、OAM種別信号は当該OAMセルが試験用か否かを示す信号であり、シーケンス番号保護信号はシーケンス番号の訂正を行うための信号であり、冗長ビット列によって構成される。

## 5

【0015】セル組立部35では、入力されたPNパタン及びシーケンス番号を上記した信号と組み合わせて、選択回路36に送出する。選択回路36では、入力信号St中に上述した試験用OAMセルを挿入して、送信データとして伝送路、即ち、VP13に送出する。

【0016】上記した送信データを受信信号として受けた受信部では、この受信信号がシーケンス番号検査回路41、PNパタン検出回路23a、及び比較回路24に入力される。シーケンス番号検査回路41は受信信号が入力されると、シーケンス番号を検出し、検出したシーケンス番号が正しいかどうかを検査する。検査の結果、シーケンス番号に誤りがあれば、セルの誤配、あるいはセルの損失があったものと判断する。

【0017】図3をも参照すると、シーケンス番号検査回路41はOAMセル抽出回路45において、OAMセルを検出し、検出されたOAMセルのみをシーケンス番号抽出回路46に送出する。シーケンス番号抽出回路46はOAMセルからシーケンス番号のみを抽出して、受信OAMセル番号信号RCを出力する。一方、受信したOAMセルの数は順次、シーケンス番号カウンタ47で計数されており、その計数結果がカウント信号COとして出力されている。受信OAMセル番号信号RCとカウント信号COとは、シーケンス番号照合回路48において照合される。両者が一致している場合には、誤配セル或いは損失セルが発生していないことを意味しており、他方、両者が不一致の場合には、誤配セル等が発生したことを示している。

【0018】このことを考慮して、両者が不一致の場合には、シーケンス番号検査回路41は図1に示すように、異常セル検出信号DTを出力して異常セルカウンタ42にカウントさせる。異常セルカウンタ42はカウントした異常セル数を外部に出力する。なお、異常セル検出信号DTは、PNパタン検出回路23a及び誤りビットカウンタ43にも入力され、これらPNパタン検出回路23a及び誤りビットカウンタ43の動作を停止させる。

【0019】異常セル検出信号DTを受信しない通常の状態では、PNパタン検出回路23aは、図4の場合と同様に、受信信号からPNパタンを検出し、新たに、PNパタン発生回路21が発生させたPNパタンと同一パタンの比較用PNパタンを比較器24へ出力する。比較回路24は受信信号に含まれるPNパタンと比較用PNパタンとを比較し、ビット誤りがあれば、ビット誤り信号Erを出力する。誤りビットカウンタ43はビット誤り信号Erを受けて誤りビット数をカウントし、誤りビ

## 6

ット数信号Enを出力する。

【0020】ここで、PNパタン検出回路23a及び誤りビットカウンタ43は、異常セル検出信号DTが入力されると、上記したように、異常セルが検出されたとして動作を停止し、誤りビットのカウントを中止する。

【0021】この様に、本実施例のVP試験装置では、異常セルの数をカウントすると共に、異常セルが検出されたときには誤りビットのカウントを中止するので、従来のように、同期が外れるまでPNパタンを誤りビットとしてカウントし続けるというようなことがない。

## 【0022】

【発明の効果】本発明によれば、ATMシステムのVP試験において、送信部でシーケンス番号を付与された試験用OAMセルを送出し、受信部においてシーケンス番号をチェックして異常セルを検出し、異常セルが検出されたときは誤りビットのカウントを中止するようにしたことで、正確なVP試験結果を得ることができる。

## 【図面の簡単な説明】

【図1】本発明の一実施例に係るVP試験装置を説明するためのブロック図である。

【図2】図1において使用される試験用OAMセルのフォーマットを説明するための図である。

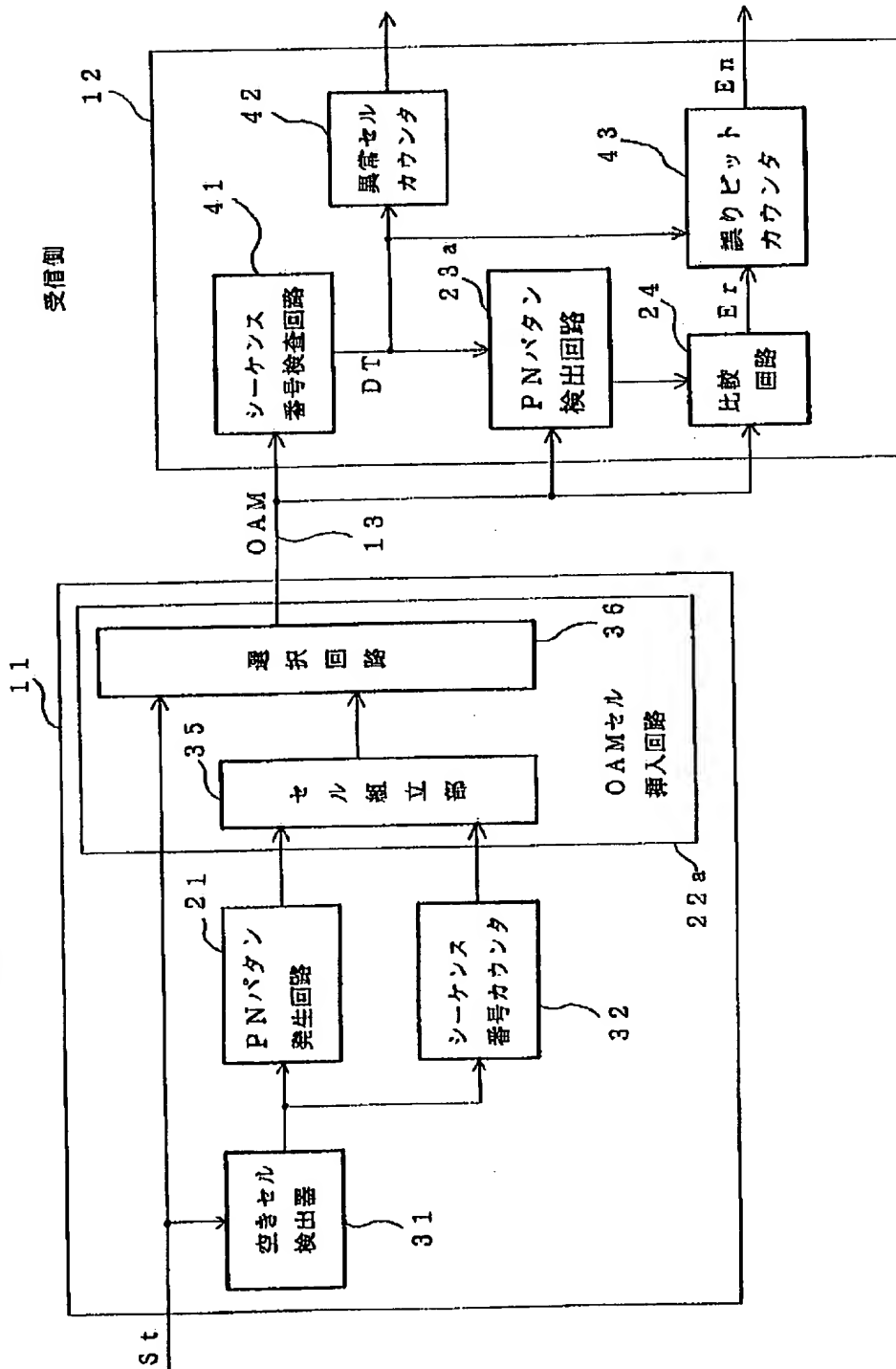
【図3】図1に使用されるシーケンス番号検出回路をより詳細に説明するブロック図である。

【図4】従来のVP試験装置を説明するためのブロック図である。

## 【符号の説明】

11	送信側
12	受信側
16	VP試験装置の送信部
17	VP試験装置の受信部
21	PNパタン発生回路
22a	OAMセル挿入回路
31	空きセル検出器
32	シーケンス番号カウンタ
41	シーケンス番号検査回路
42	異常セルカウンタ
23a	PNパタン検出回路
24	比較回路
43	誤りビットカウンタ
22	OAMセル挿入回路
23	PNパタン検出回路
24	比較回路
25	PNパタン同期保護回路
26	誤りビットカウンタ

送信側

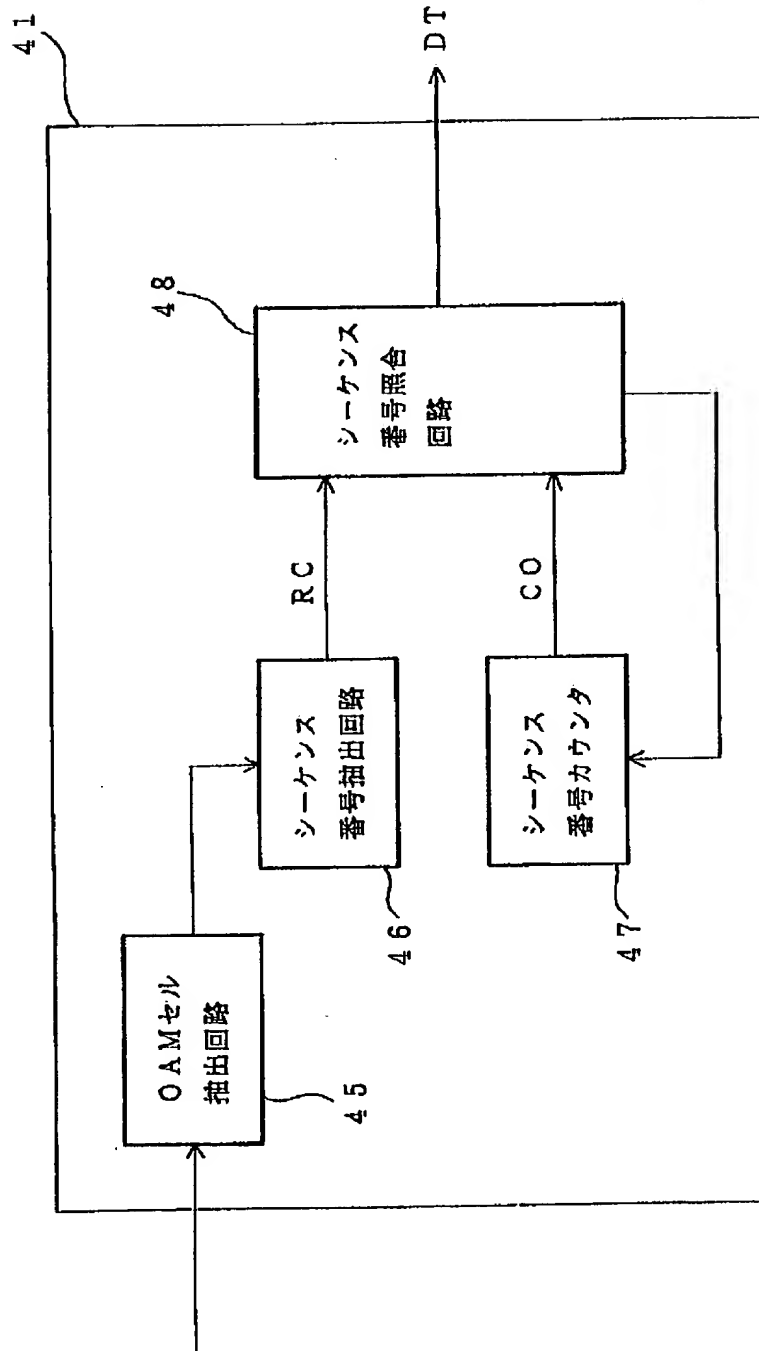


【図1】

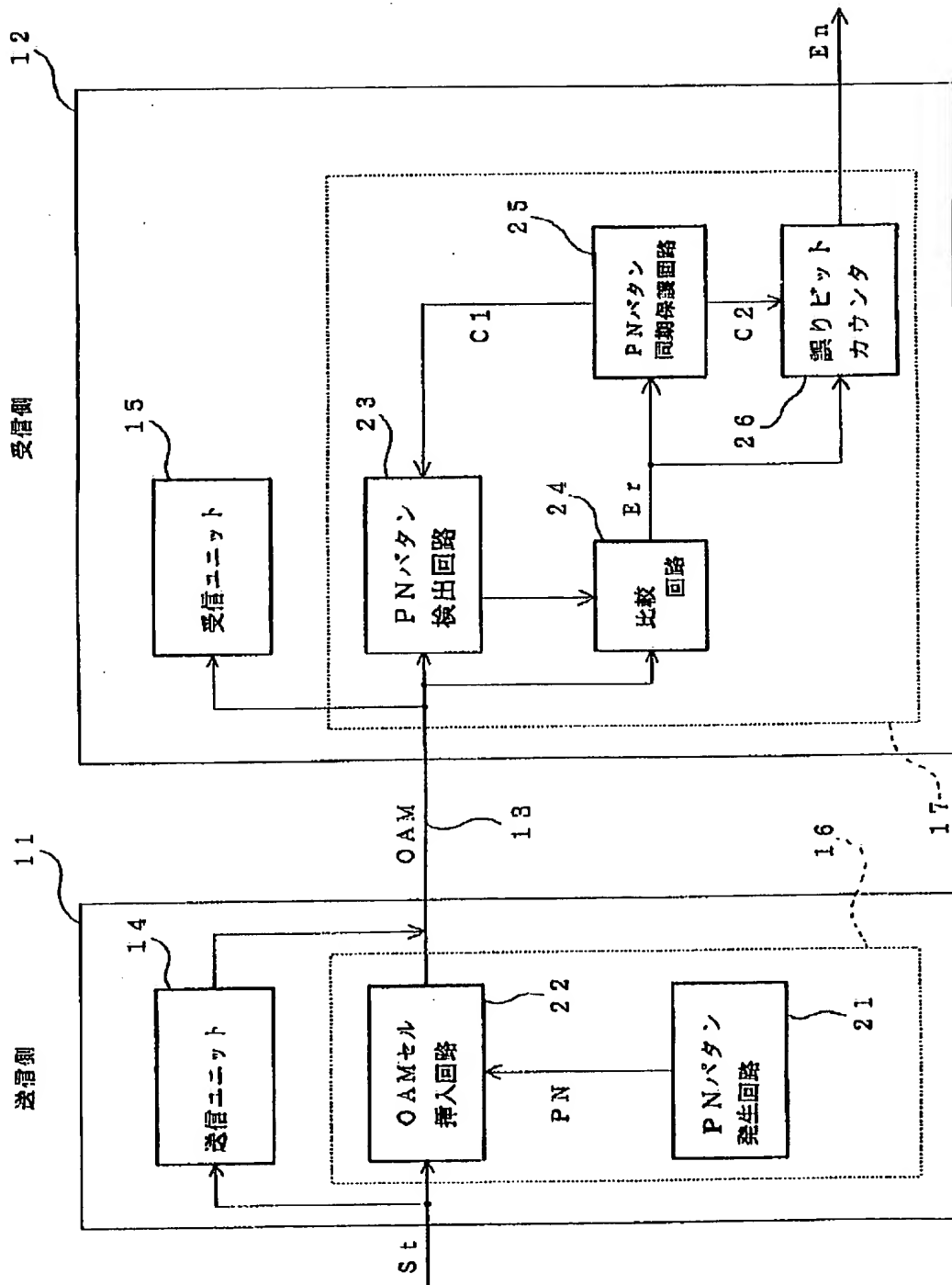
【図2】

セル識別子	ポート番号	VPI	VC1	HEC	OAM種別	シーケンス番号	シーケンス番号保護	PNパタン
4ビット	4ビット	12ビット	16ビット	8ビット	8ビット	4ビット	4ビット	368ビット

【図3】



【図4】



フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号

F I

技術表示箇所

9076-5K

H 0 4 Q 11/04

L

9076-5K

R

(72)発明者 松永 治彦  
東京都千代田区内幸町一丁目 1 番 6 号 日  
本電信電話株式会社内

(72)発明者 上田 裕巳  
東京都千代田区内幸町一丁目 1 番 6 号 日  
本電信電話株式会社内